

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2005 年 8 月 18 日 (18.08.2005)

PCT

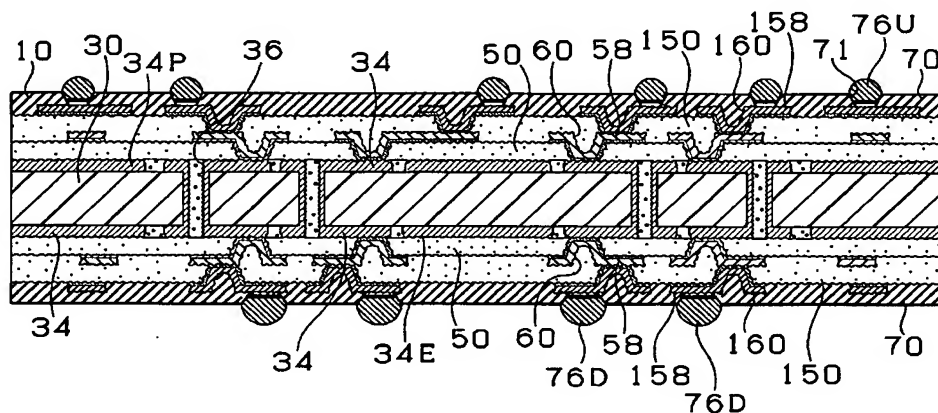
(10) 国際公開番号  
WO 2005/076683 A1

- (51) 国際特許分類: H05K 3/46
- (21) 国際出願番号: PCT/JP2005/001611
- (22) 国際出願日: 2005 年 2 月 3 日 (03.02.2005)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願2004-028074 2004 年 2 月 4 日 (04.02.2004) JP  
特願2004-029201 2004 年 2 月 5 日 (05.02.2004) JP  
特願2004-043068 2004 年 2 月 19 日 (19.02.2004) JP  
特願2004-043069 2004 年 2 月 19 日 (19.02.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5030917 岐阜県大垣市神田町 2 丁目 1 番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 稲垣 靖 (INAGAKI, Yasushi) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP).  
佐野 克幸 (SANO, Katsuyuki) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方 1 丁目 1 番地 イビデン株式会社内 Gifu (JP).
- (74) 代理人: 田下 明人 (TASHITA, Akihito); 〒4600008 愛知県名古屋市中区栄 1 丁目 2 番 6 号 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: MULTILAYER PRINTED WIRING BOARD

(54) 発明の名称: 多層プリント配線板



(57) Abstract: Disclosed is a package board wherein a malfunction or error occurs even when a high-frequency IC chip, in particular an IC chip of more than 3 GHz is mounted. A conductor layer (34P) having a thickness of 30  $\mu$ m is formed on a core substrate (30), and a conductor circuit (58) having a thickness of 15  $\mu$ m is formed on an interlayer resin insulating layer (50). By forming the conductor layer (34P) thick, the volume of the conductor itself is increased, thereby reducing the resistance. In addition, the power supply capacity to the IC chip can be improved by using the conductor layer (34) as a power supply layer.

(57) 要約: 【課題】 高周波領域の IC チップ、特に 3 GHz を越えても誤動作やエラーの発生しないパッケージ基板を提供する。【解決手段】 コア基板 30 上の導体層 34P を厚さ 30  $\mu$ m に形成し、層間樹脂絶縁層 50 上の導体回路 58 を 15  $\mu$ m に形成する。導体層 34P を厚くすることにより、導体自体の体積を増やすし抵抗を低減することができる。更に、導体層 34 を電源層として用いることで、IC チップへの電源の供給能力を向上させることができる。

WO 2005/076683 A1



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,  
UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,  
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護  
が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,  
SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ,  
BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE,  
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU,  
IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される  
各PCTガゼットの巻頭に掲載されている「コードと略語  
のガイダンスノート」を参照。